

PATENT ABSTRACTS OF JAPAN

3-2

(11)Publication number : 62-114330
(43)Date of publication of application : 26.05.1987

(51)Int.CI.
H03L 7/06
H03L 7/18
H04N 5/073

(21)Application number : 60-252916

(71)Applicant : NEC CORP
NEC ENG LTD

(22)Date of filing : 13.11.1985

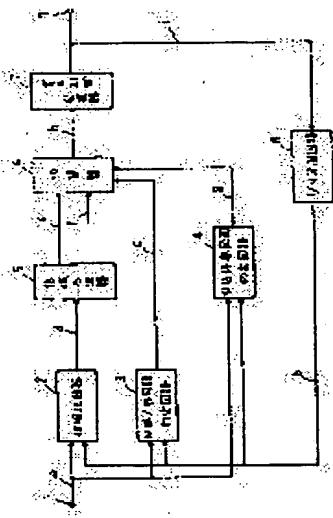
(72)Inventor : SUZUKI NORIO
CHO FUJIO
ARITOME MASAKAZU
ISHII TADASHI

(54) PHASE SYNCHRONIZING CIRCUIT

(57)Abstract:

PURPOSE: To cut the great variance of the output of a phase comparator for synchronization to stabilize the output frequency of a voltage controlled oscillator by providing a synchronization/asynchronization discriminating circuit and a synchronism acquisition allowable range discriminating circuit and switching a phase comparison voltage and a fixed voltage.

CONSTITUTION: A PLL of a phase synchronizing circuit is provided with a synchronization/asynchronization switching circuit 3 and a synchronism acquisition allowable range discriminating circuit 4. When an synchronization discrimination signal is inputted from the circuit 3, the fixed voltage is selected instead of the phase comparison voltage from an LPF 5 by a switch 6 and is supplied to a voltage controlled oscillator 7, and the great variance of the output voltage of a phase comparator 2 for synchronization is cut to stabilize the oscillation output of the oscillator 7 to a fixed frequency. If a stabilized pulse is obtained from the circuit in this state and it is discriminated that the phase variance of the input signal is small, the switch 6 selects the output of the LPF 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭62-114330

A311

⑬ Int.CI.

H 03 L 7/06
7/18
H 04 N 5/073

識別記号

府内整理番号

A-7530-5J
Z-7530-5J
8523-5C

⑭ 公開 昭和62年(1987)5月26日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 位相同期回路

⑯ 特願 昭60-252916

⑰ 出願 昭60(1985)11月13日

⑱ 発明者 鈴木 典生	東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発明者 長富士夫	東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 発明者 有留正和	東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内
㉑ 発明者 石井忠	東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内
㉒ 出願人 日本電気株式会社	東京都港区芝5丁目33番1号
㉓ 出願人 日本電気エンジニアリング株式会社	東京都港区西新橋3丁目20番4号
㉔ 代理人 弁理士 岩佐義幸	

明細書

1. 発明の名称

位相同期回路

2. 特許請求の範囲

(1) 入力信号の位相と $1/N$ 分周回路出力の位相とを比較する位相比較器と、前記位相比較器出力をろ波する低域ろ波器と、前記低域ろ波器出力の電圧により発振周波数が制御される電圧制御発振器と、前記電圧制御発振器出力を分周する前記 $1/N$ 分周回路とから構成される位相同期回路において、前記入力信号と前記 $1/N$ 分周回路出力との位相差の大きさを検出して、前記位相差があらかじめ設定した値より小さいか大きいかで同期／非同期を判定する同期／非同期判定回路と、前記入力信号の位相変動の値を検出し、あらかじめ設定した値より小さいか大きいかにより位相の安定／不安定を判定する引込許容範囲判定回路と、前記位相比較器と前記電圧制御発振器との間に設けられ前記同期／非同期判定回路出力と前記引込許容範囲判定回路出力により入力電圧とあらかじめ

め設定した一定電圧とを切替える切替器とを備え、同期／非同期の状態と前記入力信号の位相の安定／不安定状態により前記電圧制御発振器の入力制御電圧を切替えることを特徴とする位相同期回路。

(2) 特許請求の範囲第1項に記載の位相同期回路において、前記切替器は、前記同期／非同期判定回路が非同期状態を検出したときに前記一定電圧に切替え、非同期状態のときに前記引込許容範囲判定回路が前記入力信号の位相が安定状態にあると判定すると前記入力電圧に切替えることを特徴とする位相同期回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、画像信号を高能率符号化する符号化装置の位相同期回路に関するものである。

(従来の技術)

一般にテレビ信号(TV信号)をデジタル信号に変換する場合、入力TV信号の同期信号に位相同期したクロックで標本化されることが多い。TV信号の同期信号に位相同期したクロックを作る

従来の位相同期回路は、第4図に示すように、入力端子1-1への入力T-V信号の同期信号の位相と1/N分周回路出力の位相とを比較する位相比較器1-2と、位相比較器出力をろ波する低域ろ波器1-3と、低域ろ波器出力電圧によって周波数が制御される電圧制御発振器1-4と、電圧制御発振器出力を1/Nに分周する1/N分周回路1-5とから構成され、入力信号の位相と1/N分周回路出力の位相とを比較して、位相比較器1-2の出力をろ波した低域ろ波器1-3の出力により、電圧制御発振器1-4を制御する位相同期方式がとられている。このような位相同期回路では、電圧制御発振器1-4の出力端子1-6に、T-V信号の同期信号に位相同期したクロックが得られる。

(発明が解決しようとする問題点)

上述した従来の位相同期回路では、ビデオテープレコーダー信号(VTR信号)の様に入力信号の同期信号の位相の変動が大きい信号を入力した場合、電圧制御発振器1-4を制御する低域ろ波器1-3の出力信号の変動が大きい為、電圧制御発振器

1-4の制御範囲を越えてしまい位相同期がとれず、電圧制御発振器1-4の発振周波数が変動し不安定しない。このため画像符号化信号化装置のクロックが安定しないので、画像符号化復号化装置に使用した場合画像が乱れてしまうという欠点がある。

(問題点を解決するための手段)

本発明は、入力信号の位相と1/N分周回路出力の位相とを比較する位相比較器と、前記位相比較器出力をろ波する低域ろ波器と、前記低域ろ波器出力の電圧により発振周波数が制御される電圧制御発振器と、前記電圧制御発振器出力を分周する前記1/N分周回路とから構成される位相同期回路において、前記入力信号と前記1/N分周回路出力との位相差の大きさを検出して、前記位相差があらかじめ設定した値より小さいか大きいかで同期／非同期を判定する同期／非同期判定回路と、前記入力信号の位相変動の値を検出し、あらかじめ設定した値より小さいか大きいかにより位相の安定／不安定を判定する引込許容範囲判定回路と、前記位相比較器と前記電圧制御発振器との

間に設けられ前記同期／非同期判定回路出力と前記引込許容範囲判定回路出力により入力電圧とあらかじめ設定した一定電圧とを切替える切替器とを備え、同期／非同期の状態と前記入力信号の位相の安定／不安定状態により前記電圧制御発振器の入力制御電圧を切替えることを特徴としている。

(実施例)

第1図は、本発明の一実施例のブロック図である。本実施例の位相同期回路は、入力端子1からの入力信号aの水平同期信号の位相と1/N分周回路8の出力bの位相とを比較する位相比較器2と、位相比較器2の出力dをろ波する低域ろ波器5と、低域ろ波器5の出力電圧eと固定(一定)電圧fとを切替えて出力する切替器6と、この切替器6の出力電圧gにより周波数制御される電圧制御発振器7と、電圧制御発振器7の出力hの発振周波数を1/Nに分周する1/N分周回路8と、同期／非同期状態を判定する同期／非同期判定回路3と、入力位相の安定／不安定を判定する引込許容範囲判定回路4とにより構成される。

同期／非同期判定回路3では、入力信号aの水平同期信号の位相と1/N分周回路出力の位相との差が定められた値より小さいか大きいかにより同期／非同期を判定し、同期／非同期判定信号cを切替器6に入力する。本実施例では、前記差が定められた値より大きい場合が4回以上連続して起きた時、非同期状態と判断し非同期信号を出力する。この非同期信号により、切替器6は、固定電圧fを電圧制御発振器7に供給するように切替えられる。

引込許容範囲判定回路4では、入力信号aの位相変動を検出し、位相変動の大きさがあらかじめ設定した値より小さいか大きいかにより位相の安定／不安定を判定し、安定／不安定パルスgを切替器6に入力する。本実施例では、256×15ライン以上安定状態が続いたら、安定パルスを発生する。非同期状態にあるときに、安定パルスが切替器6に入力されると、同期引込みが可能であるとして、切替器6は、固定電圧fから低域ろ波器5の出力電圧gに切替える。なお、切替器6に

は、切替器の入力電圧を選択する選択回路が設けられている。

以上の構成の位同期回路において、切替器 6 に同期／非同期判定回路 3 から非同期信号が入力されると、切替器 6 はその非同期信号により非同期状態にあると判断し、電圧制御発振器 7 の入力を低域ろ波器出力。から固定電圧 1 に切替え非同期状態になる。電圧制御発振器 7 には、固定電圧 1 が入力されるので、非同期時の位相比較器 2 の出力電圧の大きな変動をカットでき、非同期状態においても、電圧制御発振器 7 の発振信号 1 の周波数は一定となり安定する。この状態で引込許容範囲判定回路 4 から安定バルスを受信すると、入力信号 a の位相変動が少ないと判断し、電圧制御発振器 7 の入力を固定電圧から低域ろ波器出力 e へ切替え、入力信号 a の同期信号との位相同期引込み動作を開始し、同期状態に入る。したがって、電圧制御発振器 7 の出力端子 9 には安定したクロックを得ることができる。

次に、本実施例における同期／非同期判定回路

3 および引込許容範囲判定回路 4 の具体的構成を説明する。

第2図に引込許容範囲判定回路 4 の構成を示す。この引込許容範囲判定回路 4 は、入力信号 a を $1/256$ に分周するカウンター I 4 1 と、カウンター I 4 1 の出力パルス間隔を $1/N$ 分周回路 8 の出力 b でカウントするカウンター II 4 2 と、カウンター II 4 2 をカウンター I 4 1 の出力タイミングでラッチするレジスタ I 4 4 と、レジスタ I 4 4 の出力がある定められた値より小さいか大きいかで安定／不安定バルスを発生するリードオンリーメモリー (ROM) 4 5 と、 $1/N$ 分周回路出力 b を $(1/256) \times (1/15)$ 分周するカウンター III 4 3 と、ROM出力をカウントし、カウンター III 4 3 の出力でリセットして、 256×15 ライン間 ROM 4 5 からの安定／不安定バルスを監視し、 256×15 ライン以上安定状態が続いたら安定状態と判断し、安定バルス g を発生するカウンター IV 4 6 より構成されている。

第3図に同期／非同期判定回路 3 の構成を示す。

この同期／非同期判定回路 3 は、入力信号 a を微分する微分回路 3 1 と、 $1/N$ 分周回路 8 の出力 b を一定値に引き伸ばすモノステープル・マルチバイブレータ（以下、モノマルチと略記） I 3 2 と、微分回路 3 1 で微分された信号 j とモノマルチ I 3 2 で一定値に引き伸ばされた信号 k との論理積をとる論理積ゲート 3 3 と、モノマルチ（リ・トリガー・タイプ・モノマルチ） II 3 4 により構成されている。この同期／非同期判定回路では、モノマルチ I 3 2 で引き伸ばした一定値は同期状態と判定する位相幅を与える。論理積ゲート 3 3 では、モノマルチ I 3 2 での位相幅内に微分回路 3 1 の出力 j が存在している時、同期状態と判定し同期バルスを論理積ゲート 3 3 の出力信号として出力し、モノマルチ II 3 4 で 4 回以上非同期状態が連続して起きているか否か判定し、4 回以上非同期状態が連続して起きた場合には非同期を示す同期判定信号 c を出力する。モノマルチ II 3 4 の時間幅は TV 倍号の 3 ライン分の長さに設定しており、4 回以上非同期状態が連続して起きた時、

非同期状態と判定している。

上記実施例では、入力信号の水平同期信号の位相と $1/N$ 分周回路の出力の位相とを比較して切替器 6 を制御しているが、その制御方法は本実施例には限定されず、位相比較器の後に A/D 変換器を設け、位相比較器出力を A/D 変換したレベル値とあらかじめ設定したレベル値を比較して切替器を制御する方法も考えられる。

また、上記実施例では同期／非同期を判定する同期／非同期判定回路の出力と、入力信号の位相変動値を検出し、あらかじめ設定した値より小さいか大きいかにより判定する引込許容範囲判定回路の出力とにより切替器の入力電圧を選択する選択回路を切替器に設けているが、これに限定されず、選択回路を引込許容範囲判定回路部分または同期／非同期回路部分に設け、それらの回路出力信号を切替器の切替信号として出力し、電圧制御発振器の入力制御電圧を切替えるようにしてもよい。

また、上記実施例においては、切替器を低域ろ

波器 5 と電圧制御発振器 7 との間に置いたが、これに限定されず、位相比較器 2 と低域ろ波器 5 との間に置いててもよい。

(発明の効果)

以上説明したように本発明によれば、位相比較器電圧（低域ろ波器出力をも含む）と固定電圧を切替える切替器と、切替器を制御する同期／非同期判定回路および引込許容範囲判定回路を設けることにより、VTR信号のような位相の変動が大きな信号を入力信号とした場合、同期／非同期判定回路で非同期状態と判定し、切替器の出力を一定電圧に選択することにより非同期時の位相比較器の出力電圧の大きな変動をカットでき非同期状態においても、電圧制御発振器の出力周波数は一定となり安定する。又、非同期状態の場合、引込許容範囲判定回路は入力信号の同期信号の位相変動が小さくなり安定状態になったと判定すると、切替器により位相比較器電圧を選択し同期状態にする。このように本発明の位相同期回路は、画像符号化復号化装置に安定したクロックを供給でき

るので、画像符号化復号化装置に使用した場合、画像は乱れることなく正しく再生できる効果がある。

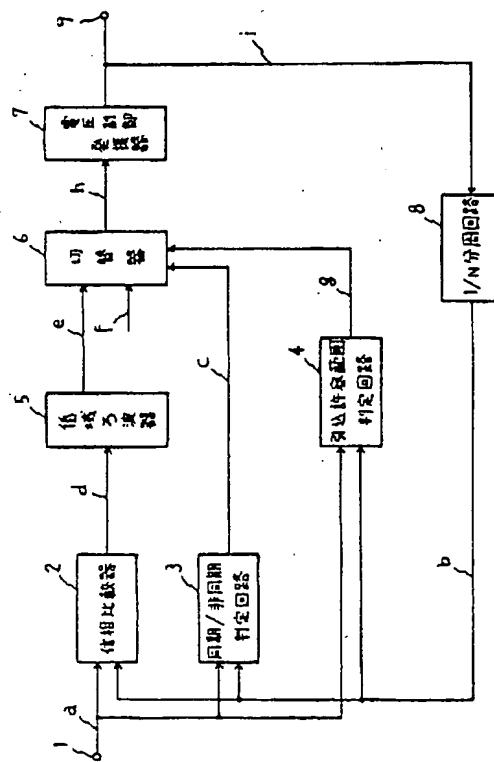
4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は引込許容範囲判定回路の一構成例のブロック図、

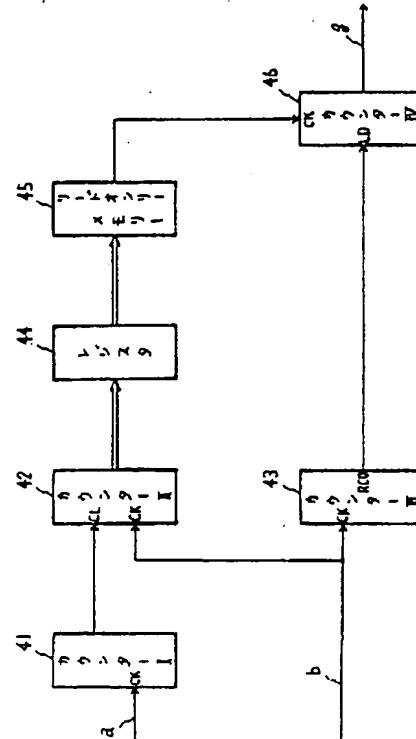
第3図は同期／非同期判定回路の一構成例のブロック図、

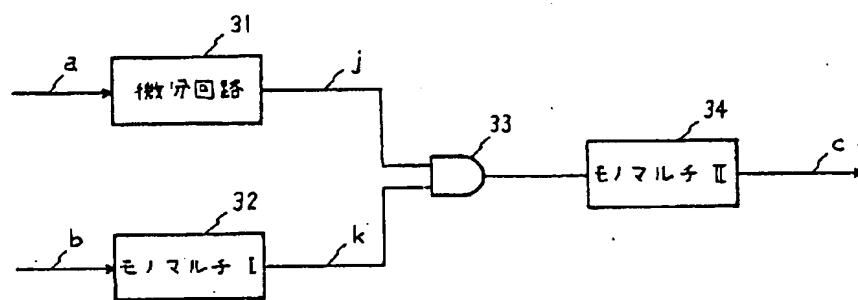
第4図は従来の位相同期回路を示すブロック図である。

- 1 入力端子
- 2 位相比較器
- 3 同期／非同期判定回路
- 4 引込許容範囲判定回路
- 5 低域ろ波器
- 6 切替器
- 7 電圧制御発振器
- 8 1/N 分周回路
- 9 出力端子

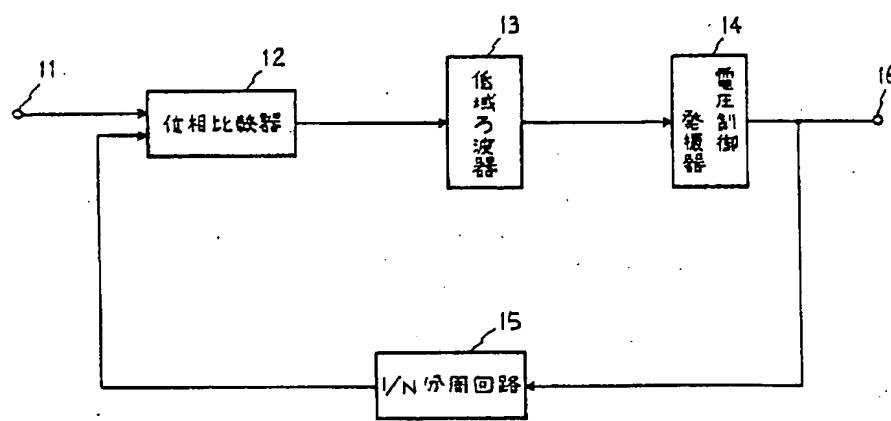


第一図





第3図



第4図